

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Keiji MINETANI**

Serial No.: **Not Yet Assigned**

Filed: **June 29, 2001**

For: **COMPOUND SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

June 29, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-219108, filed July 19, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 010781
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/II

Jc974 U.S. PTO
09/893477
06/29/01

#3
Wheeler
12508

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c974 U.S. PTO
09/893477
06/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月19日

出 願 番 号

Application Number:

特願2000-219108

出 願 人

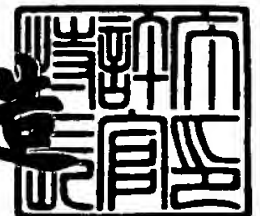
Applicant(s):

富士通カンタムデバイス株式会社

2001年 5月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3040536

【書類名】 特許願

【整理番号】 0000488

【提出日】 平成12年 7月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/338
H01L 27/06

【発明の名称】 化合物半導体装置

【請求項の数】 6

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 峯谷 計次

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9800473

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の化合物半導体よりなる基板と、

前記基板の上に形成され、1つの構成元素の混晶比のピークが内部に位置するように該混晶比を厚さ方向に連続的に変化させることによってエネルギーバンドギャップを内部で最も低くする第 2 の化合物半導体層から構成され且つ不純物を含むグレーディッドチャンネル層と、

前記グレーディッドチャンネル層の上に形成された障壁層と、

前記障壁層の上に形成され且つ前記障壁層に対してショットキー接触するゲート電極と、

前記ゲート電極の両側に形成され、前記障壁層を通して前記グレーディッドチャンネル層に電流を流すためのソース電極とドレイン電極とを有することを特徴とする化合物半導体装置。

【請求項 2】 前記第 2 の化合物半導体層は、前記第 1 の化合物半導体に前記 1 つの構成元素を含有させた層であって、前記 1 つの構成元素は前記第 1 の化合物半導体よりも伝導帯エネルギーを低くする元素であることを特徴とする請求項 1 に記載の化合物半導体装置。

【請求項 3】 前記グレーディッドチャンネル層内の前記混晶比のピークは、前記グレーディッドチャンネル層の層厚の中心にあるか、或いは該中心からずれた位置に存在することを特徴とする請求項 1 に記載の化合物半導体装置。

【請求項 4】 前記グレーディッドチャンネル層内のキャリア濃度のピークは、前記グレーディッドチャンネル層の層厚方向の中心か、或いは該中心からずれた位置に存在することを特徴とする請求項 1 に記載の化合物半導体装置。

【請求項 5】 前記キャリア濃度のピークは、前記グレーディッドチャンネル層の層厚の中心から前記基板側に寄っていることを特徴とする請求項 4 に記載の化合物半導体装置。

【請求項 6】 前記基板を構成する第 1 の化合物半導体はガリウム砒素であり、前記グレーディッドチャンネル層を構成する第 2 の化合物半導体層はインジウム

ガリウム砒素であり、前記第2の化合物半導体層に含まれる前記1つの構成元素はインジウムであることを特徴とする請求項1乃至請求項5のいずれかに記載の化合物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体装置に関し、より詳しくは、MESFETを有する化合物半導体装置に関する。

【0002】

【従来の技術】

インジウムガリウム砒素(InGaAs)は、電子移動度が大きいので、MESFET(Metal Semiconductor FET)のチャネル層として使用されることが知られている。

InGaAsチャネル層を有するMESFETは、例えば図1(a)に示すような構造を有している。

【0003】

図1(a)において、半絶縁性のGaAs基板101の上にはGaAsバッファ層102、n-InGaAsチャネル層103、GaAs障壁層104が形成され、GaAs障壁層104の上にはゲート電極105が形成されている。ゲート電極105は、GaAs障壁層104に対してショットキ接触している。

また、GaAs障壁層104のうちゲート電極105の両側方には、高不純物濃度領域であるソース領域106とドレイン領域107が形成されており、ソース領域106とドレイン領域107の上にはそれぞれソース電極108、ドレイン電極109がオーミック接続されている。

【0004】

チャネル層103を構成するInGaAsの成長は条件を変えずに形成することが一般的であり、インジウムの組成比は図1(b)に示すように層の厚さ方向に一定である。そのようなInGaAsチャネル層を有するMESFETにも種々の工夫がなされている。例えば、ドーピングしたInGaAsチャネル層を上下からグレーデッド

なInGaAs層によって挟んだ構造や、臨界膜厚以下のInGaAsチャネル層を有する構造のMESFETが知られている。グレーデッドなInGaAs層というのは、層厚方向にインジウム組成比が変化することである。

【0005】

そのように、InGaAsチャネル層をグレーデッドなInGaAs層によって挟んだ構造のMESFETは、例えば特開平9-321061号公報、特開平4-326734号公報、特開平4-251941号公報に記載されている。そのうちの特開平4-251941号公報におけるInGaAsチャネル層にはプレーナドープが行われている。

【0006】

また、臨界膜厚のInGaAsチャネル層を有するMESFETは、例えば特開昭63-272080号公報、特公平6-71011号公報に記載されている。

【0007】

【発明が解決しようとする課題】

ところで、上記した従来構造のMESFETについて、ゲート電圧と相互コンダクタンスの関係を調べると、図2に示すように、相互コンダクタンス(g_m)がゲート電圧に対して非常に急峻に変化する性質がある。従って、ゲート電圧の揺らぎやゲート電圧の低下によって g_m が変化し易くなり、FET特性が悪くなる。

【0008】

また、図1(a)に示すGaAs障壁層104がアンドープの場合には、ソース抵抗が増大して、最大相互コンダクタンス(g_{mmax})が伸びなかった。

相互コンダクタンスは、利得や最大発振周波数に影響を与えるので、一般に大きい方が好ましい。

本発明の目的は、トランジスタ特性を犠牲にすることなく、最大コンダクタンスが高く、しかもゲート電圧に対する相互コンダクタンスの変化が緩やかなMESFETを有する化合物半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

上記した課題は、第1の化合物半導体よりなる基板と、この基板の上に形成され、1つの構成元素の混晶比のピークが内部に位置するように該混晶比を厚さ方向に連続的に変化させることによってバンドギャップを内部で最も低くする第2の化合物半導体層から構成され且つ不純物を含むグレーディッドチャンネル層と、このグレーディッドチャンネル層の上に形成された障壁層と、この障壁層の上に形成され且つ障壁層に対してショットキー接触するゲート電極と、このゲート電極の両側に形成され、障壁層を通して前記グレーディッドチャンネル層に電流を流すためのソース電極とドレイン電極とを有することを特徴とする化合物半導体装置によって解決される。

【 0 0 1 0 】

この場合、グレーディッドチャンネル層内のキャリア濃度のピークを層の厚さ方向の中心かこれよりもずれた位置に存在させるようにすることが好ましい。

次に、本発明の作用について説明する。

本発明によれば、不純物がドーピングされるチャンネル層の構成材料として、1つの構成元素の混晶比のピークを層の内部に存在させることによって層の内部でエネルギーバンドギャップが最も小さくされた3元又は4元の化合物半導体層を用いている。

【 0 0 1 1 】

これによれば、キャリア濃度分布のピークがチャンネル層の内部に存在するようにすることができるので、ゲート電圧の揺らぎや低下などの変化が生じた際に、チャンネル層内のキャリア濃度の急激な増減が抑制され、従来よりも高く且つ安定した相互コンダクタンスが得られる。キャリア濃度分布は、チャンネル層の構成元素の混晶比の調整に併せて、不純物ドーピング量などの調整によっても変化させることが可能である。

【 0 0 1 2 】

また、チャンネル層を構成する上記した元素の混晶比を例えば放物線状に徐々に連続的に変化させたので、結晶歪みが緩和されて高い電子移動度が確保され、また、十分な電流量が得られるキャリア濃度が確保される。さらに、チャンネル層には不純物がドーピングされているので、ソース抵抗の増大が抑えられ、相互コンダク

タンスの最大値が大きくなる。

【0013】

また、チャンネル層内のキャリア濃度分布のピークを、チャンネル層の厚さの中心から基板側にずらすことにより、チャンネル層の上の障壁層で発生する空乏層とキャリア濃度分布ピークの距離が調整され、ゲート電極の下方の耐圧特性が向上する。

【0014】

【発明の実施の形態】

以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)

図3は、本発明の第1実施形態に係るMESFETを示す断面図である。

図3において、半絶縁性のガリウム砒素 (GaAs) 基板1の上には、アンドープのバッファ層2が例えば1 μ mの厚さに形成されている。

【0015】

また、バッファ層2上には、n型不純物 (例えばシリコン) がドーピングされたインジウムガリウム砒素 ($\text{In}_x\text{Ga}_{1-x}\text{As}$) 層よりなるグレーディッドチャンネル層3が15～30nmの厚さに形成されている。グレーディッドチャンネル層3を構成する $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層では、インジウムの組成比xが図4に示すように層の厚さ方向に段階的 (グレーディッド) に変化している。このグレーディッドチャンネル層3は、バッファ層2及び後述する障壁層4に対して歪み層となっている。

【0016】

インジウムの組成比xは、図4(a)の実線に示したようにグレーディッドチャンネル層3の層厚の中心に最大値 (ピーク) がある放物線状、或いは図4(a)の一点鎖線で示したようにその中心からずれた部分に最大値がある放物線状となるように連続的に変化している。組成比xの最大値は限定されるものではないが、例えば0.8～1.0又は $0.8 \leq x < 1$ とする。

【0017】

グレーディッドチャンネル層3を構成するインジウムの組成比xのピークが層厚の中心にあり且つ不純物濃度を均一にした場合において、グレーディッドチャネ

ル層3とその周辺のエネルギーバンドギャップは、図4(b)に示すようにグレーディッドチャネル層3の中心で最も小さくなっている。

また、グレーディッドチャネル層3内のキャリア（電子）濃度は図5の実線に示したようにグレーディッドチャネル層3の層厚の中心に最大値（ピーク）があるような分布を有するか、或いは図5の一点鎖線に示したようにその中心からずれた部分に最大値があるように分布している。キャリア濃度の分布は、グレーディッドチャネル層3内のインジウム混晶比分布の調整だけでなく、グレーディッドチャネル層3内の不純物ドーブ量によっても調整される。

【0018】

したがって、キャリア濃度分布のピークの位置は、インジウム混晶比分布のピークの位置とは必ずしも一致させる必要はない。

グレーディッドチャネル層3における層厚の中心位置からのキャリア濃度ピークの必要シフト量 a (cm) は次式(1)にて算出される。

$$a = (2 \varepsilon V_p / q N_{da})^{1/2} - (2 \varepsilon V_p / q N_{dp})^{1/2} \quad (1)$$

なお、式(1)において、 ε は誘電率、 V_p はピンチオフ電圧、 q は電子の電荷量、 N_{da} は歪み層の平均キャリア濃度、 N_{dp} はピークキャリア濃度である。ここで、 $\varepsilon = 12.85 + 1.64x$ (x はインジウムの混晶比)、 $q = 1.6 \times 10^{-19}$ である。

【0019】

そのようなグレーディッドチャネル層3の上には、アンドープGaAs又はn型GaAsよりなる障壁層4が形成され、その上にはタングステン(W)又はタングステンシリサイド(WSi)よりなるゲート電極5が形成されている。ゲート電極5は、障壁層4に対してショットキコンタクトしており、その接合部分からグレーディッドチャネル層3内には空乏層が伸び、ゲート電極5に印加する電圧値の変化によって空乏層の深さが変化するようになっている。

【0020】

また、障壁層4のうちのゲート電極5の両側方には、不純物熱拡散法又はイオン注入法によって高濃度不純物領域6s、6dが形成され、一方の高濃度不純物領域6sの上にはソース電極7sが形成され、他方の高濃度不純物領域6dの上

にはドレイン電極 7 d が形成されている。ソース電極 7 s とドレイン電極 7 d のそれぞれは、下から順に積層された金ゲルマニウム層、ニッケル層、金層の三層構造から構成されている。なお、ソース電極 7 s、ドレイン電極 7 d は、障壁層 4 に対してオーミックに接続している。

【 0 0 2 1 】

上記したバッファ層 2 からチャネル障壁層 4 までの各層は、例えば分子線エピタキシャル結晶成長法、MOCVD 法等によって形成される。

そして、グレーディッドチャネル層 3 を成長する場合には、インジウム照射量或いはインジウムソースガス（例えばトリメチルインジウム）流量を徐々に変化させることにより図 4 (a) に示すように連続的に変化するインジウム混晶比分布を得るようにする。また、グレーディッドチャネル層 3 内のシリコンのドーズ量は、シリコン照射量又はシリコンソースガス（例えば、シラン）流量を変化させて調整される。

【 0 0 2 2 】

以上のような構成の MESFET において、ゲート電圧 V_g と相互コンダクタンス g_m との関係を実験により調べたところ、図 6 の実線に示したような $V_g - g_m$ 曲線 I が得られた。なお、図 6 中破線は、図 1 (a) に示した従来の MESFET の $V_g - g_m$ 曲線 II を示している。

図 6 において、本発明の $V_g - g_m$ 特性曲線 I では相互コンダクタンス g_m の最大値 g_{m1} にほぼ平坦な領域 A が発生した。そのような平坦な領域 A を生じさせるためには、インジウムの混晶比とキャリア濃度の変化を制御することが重要である。

【 0 0 2 3 】

本発明の $V_g - g_m$ 曲線 I と従来の $V_g - g_m$ 曲線 II を比較すると、相互コンダクタンスの最大値が平坦か先鋭かの違いの他に、次のような相違がある。

本発明の MESFET に係る $V_g - g_m$ 曲線 I の最大値 g_{m1} の 80% の値が得られる V_g の低い値と高い値との差を ΔV_{g1} とし、従来の MESFET に係る $V_g - g_m$ 曲線 II の最大値 g_{m2} の 80% の値が得られる V_g の低い値と高い値との差を ΔV_{g2} として、それらを比較すると、 ΔV_{g1} は ΔV_{g2} の約 3 倍になり、本発

明のMESFETによれば相互コンダクタンスが従来に比べて緩やかに、安定して変化する。なお、本発明によれば、不純物濃度分布、インジウム混晶比等の調整によって ΔVg_1 を ΔVg_2 の約5倍程度まで高くすることができる。

【0024】

また、図6によれば、本発明の $Vg - g_m$ 曲線Iの最大値 g_{m1} は、従来の $Vg - g_m$ 曲線IIの最大値 g_{m2} よりも大きくなることが判る。

したがって、本発明のMESFETによれば、ゲート電圧に揺らぎや変動が生じた場合の相互コンダクタンスの変化量が少なく、これにより利得、最大発振周波数が大きくなり且つ安定し、その結果、安定したトランジスタ動作が可能になる。

【0025】

ところで、グレーディッドチャネル層3内のキャリア濃度の層厚方向のピークを図5に示したように層厚の中心に位置させた場合とその中心からGaAs基板1側にシフトさせた場合のそれぞれについて、ゲート電圧 Vg とゲート電流 Ig の関係を調べたところ、図7に示すような曲線が得られた。即ち、図5の実線のように層厚の中心にピークがあるキャリア濃度分布のグレーディッドチャネル層3を有するMESFETについては第1の $Vg - Ig$ 曲線IIIとなった。また、図5の破線のように層厚の中心から基板側にピークがずれているキャリア濃度分布のグレーディッドチャネル層3を有するMESFETについては第2の $Vg - Ig$ 曲線IVとなった。

【0026】

図7によれば、ゲート電流の立ち上がり点のゲート電圧値について、第1の $Vg - Ig$ 曲線IIIよりも第2の $Vg - Ig$ 曲線IVの方が大きくなって、破壊耐圧が高くなることが判った。

キャリア濃度分布のピークをチャネル層3の層厚の中心からGaAs基板1寄りに設定すると、表面空乏層とキャリア濃度のピーク位置との距離が離れるように制御され、ゲート電極5の下方のドレイン端側に起こる電界集中を緩和することができるので、グレーディッドチャネル層3の耐圧が高くなる。

【0027】

なお、グレーディッドチャネル層 3 内のキャリア濃度の平均値は、必要な電流を得るための大きさに設定される。

上記したグレーディッドチャネル層 3 では、インジウムの分布が徐々に変化しているので、結晶歪みが緩和されて高い電子移動度が確保され、また、十分な電流が得られるキャリア濃度が確保される。さらに、グレーディッドチャネル層 3 内には、アンドープ層が介在しないために、ソース抵抗の増大が抑えられ、より高い相互コンダクタンスの最大値が得られる。さらに、グレーディッドチャネル層 3 では、ゲート電圧の変動が生じてもキャリア濃度の急激な増減が抑制されるので、フラットで安定した相互コンダクタンスが得られる。

【 0 0 2 8 】

以上のように本実施形態の M E S F E T によれば、トランジスタ特性を犠牲にすることなく、最大コンダクタンスが高く、しかもゲート電圧に対する相互コンダクタンスの変化が緩やかになった。

（第 2 の実施の形態）

InGaAs チャネル層のインジウム混晶比分布、キャリア濃度を徐々に変化させる構造の M E S F E T は図 3 に示すものに限定されるものではない。

【 0 0 2 9 】

例えば、図 8 に示すようなりセス構造の M E S F E T にも適用してもよい。

図 8 において、第 1 実施形態と同様に、半絶縁性の GaAs 基板 1 の上には、GaAs よりなるバッファ層 2 と、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ よりなるグレーディッドチャネル層 3 と、アンドープ GaAs 又は n 型 GaAs よりなる障壁層 4 が順に形成されている。さらに、障壁層 4 上には、AlGaAs 層 1 1 がエッチストップ層として形成され、その上には高不純物濃度の n^+ 型 GaAs よりなるコンタクト層 1 2 が形成されている。

【 0 0 3 0 】

コンタクト層 1 2 と AlGaAs 層 1 1 のうちゲート電極形成部分には、エッチングによって凹部 1 2 a が形成されている。コンタクト層 1 2 をエッチングする際には、AlGaAs 層 1 1 に対して選択エッチングが可能なエッチャントを用い、また、AlGaAs 層 1 1 をエッチングする際には GaAs 障壁層 4 に対して選択エッチングが可能なエッチャントを用いることにより、コンタクト層 1 2、障壁層 4 のエッチン

グの制御性が良くなる。

【 0 0 3 1 】

そのように凹部 1 2 a を形成した後に、障壁層 4 の上に凹部 1 2 a を通して W 又は WSi よりなるゲート電極 5 を形成する。さらに、ゲート電極 5 の両側のコンタクト層 1 2 の上にそれぞれソース電極 1 3 s とドレイン電極 1 3 d をオーミックアロイにより形成する。

このような構造の M E S F E T においても、第 1 実施形態と同様に、グレーディッドチャネル層 3 を構成する InGaAs 層のインジウム混晶比分布を図 4 (a) に示すように制御し、グレーディッドチャネル層 3 内のキャリア濃度分布を図 5 に示すように制御すると、従来の M E S F E T に比べ、最大コンダクタンスを高くし、しかもゲート電圧に対する相互コンダクタンスの変化を緩やかにすることが可能になる。

(その他の実施の形態)

上記した実施形態では、GaAs 基板の上方に形成されるグレーディッドチャネル層を InGaAs 層から形成したが、GaAsSb 層、InGaSb から構成してもよい。GaAsSb 層を用いる場合にはアンチモン (Sb) の混晶比分布を図 4 (a) に示すインジウムと同様に分布させ、また、InGaSb 層を用いる場合には図 4 (a) と同様にインジウムを分布させる。

【 0 0 3 2 】

また、上記した実施形態では、GaAs 基板を使用した但那他の化合物半導体基板を使用してもよい。例えば、インジウムリン (InP) 基板を使用する場合に、その上に形成されるグレーディッド層としては InAsP 層、GaAsSb 層、InPSb 層等を用いる。InAsP 層を用いる場合には、砒素 (As) の混晶比分布を図 4 (a) に示すインジウムと同様に分布させ、また、GaAsSb 層又は InPSb 層を用いる場合には、Sb の混晶比分布を図 4 (a) に示すインジウムと同様に分布させる。

【 0 0 3 3 】

即ち、チャネル層を構成する III-V 族半導体層のうち、III 族元素としては Ga 以外に In 等を使用でき、V 族元素として As 以外に P や Sb を使用してもよい。

化合物半導体基板材料に比較して伝導帯の差 ΔE_c が大きくとれる元素、即ち

エネルギーバンドギャップを小さくする元素をチャネル層に含ませて、その混晶比を例えば図 4 (a) に示すように変化させることが好ましい。

【 0 0 3 4 】

【発明の効果】

以上述べたように本発明によれば、基板材料よりも伝導帯エネルギーを低くする元素を含み且つこの元素の混晶比を層厚方向に放物線状に変化させてなる化合物半導体からチャネル層を構成しているので、ゲート電圧の揺らぎや低下などの変化が生じた際に、チャネル層内のキャリア濃度の急激な増減が抑制され、従来よりも高く且つ安定した相互コンダクタンスが得られる。

【 0 0 3 5 】

また、チャネル層内のキャリア濃度分布のピークを、チャネル層の厚さの中心から基板側にずらすようにしたので、チャネル層の上の障壁層で発生する空乏層とキャリア濃度分布ピークの距離が調整され、ゲート電極の下方の耐圧特性が向上する。

【図面の簡単な説明】

【図 1】

図 1 (a) は、従来の M E S F E T の構造を示す断面図、図 1 (b) は、図 1 (a) に示した M E S F E T を構成する III-V 族半導体層中のインジウムの分布図である。

【図 2】

図 2 は、従来の M E S F E T のゲート電圧と相互コンダクタンスの関係を示す図である。

【図 3】

図 3 は、本発明の第 1 実施形態の M E S F E T を示す断面図である。

【図 4】

図 4 (a) は、本発明の第 1 実施形態の M E S F E T のチャネル層を構成する In GaAs 層中のインジウムの分布図であり、図 4 (b) は、そのようなインジウム分布を有する InGaAs 層のバンドギャップの一例を示している。

【図 5】

図 5 は、本発明の第 1 実施形態の M E S F E T のチャネル層にドーピングされる不純物濃度の分布図である。

【図 6】

図 6 は、本発明の第 1 実施形態の M E S F E T と従来の M E S F E T のそれぞれについてのゲート電圧と相互コンダクタンスの関係を示す図である。

【図 7】

図 7 は、本発明の第 1 実施形態の M E S F E T におけるゲート電圧とゲート電流の関係を示す図である。

【図 8】

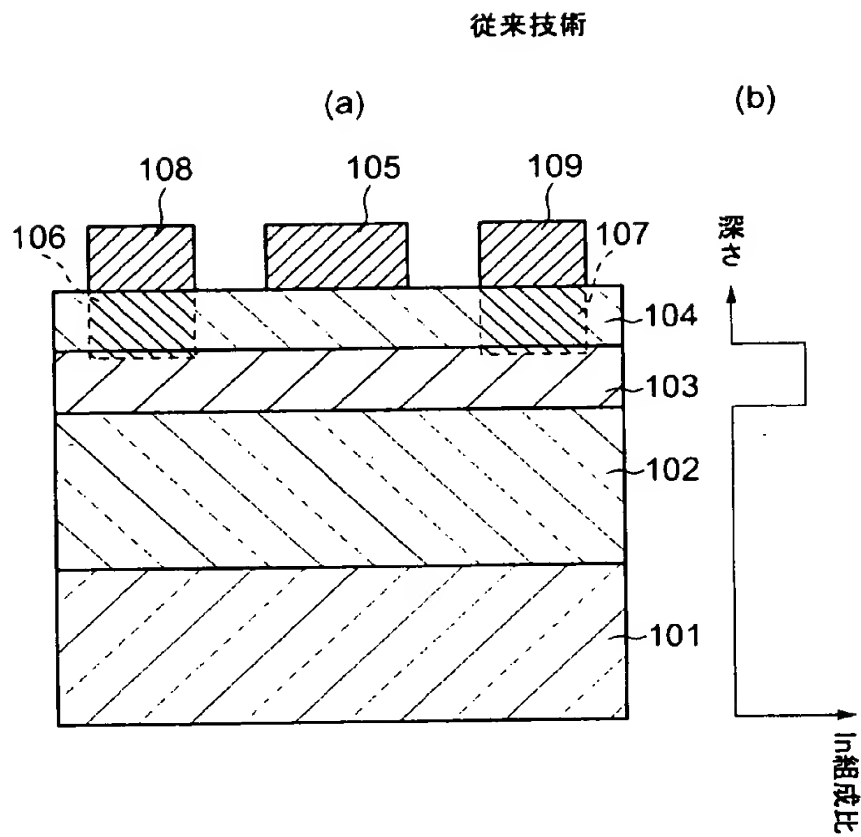
図 8 は、本発明の第 2 実施形態の M E S F E T を示す断面図である。

【符号の説明】

1 …GaAs（化合物半導体）基板、2 …バッファ層、3 …グレーディッドチャネル層、4 …障壁層、5 …ゲート電極、6 s, 6 d …高濃度不純物領域、7 s …ソース電極、7 d …ドレイン電極、1 1 …AlGaAs（エッチストップ）層、1 2 …コンタクト層。

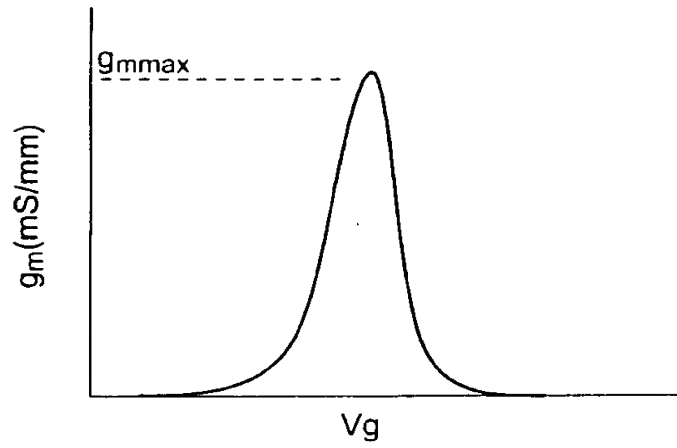
【書類名】 図面

【図 1】



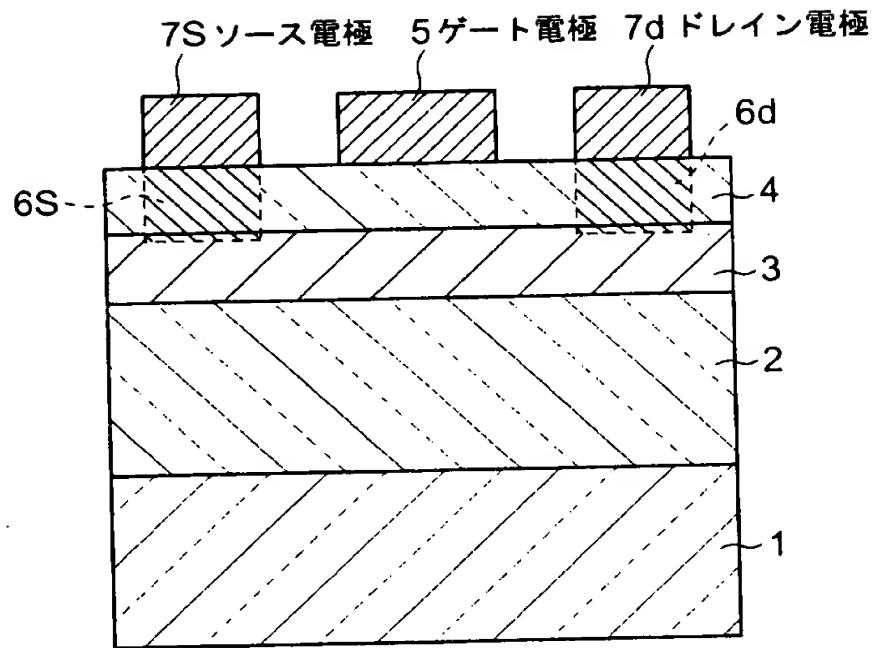
【図 2】

従来のMESFETにおけるゲート電圧と
相互コンダクタンスの関係



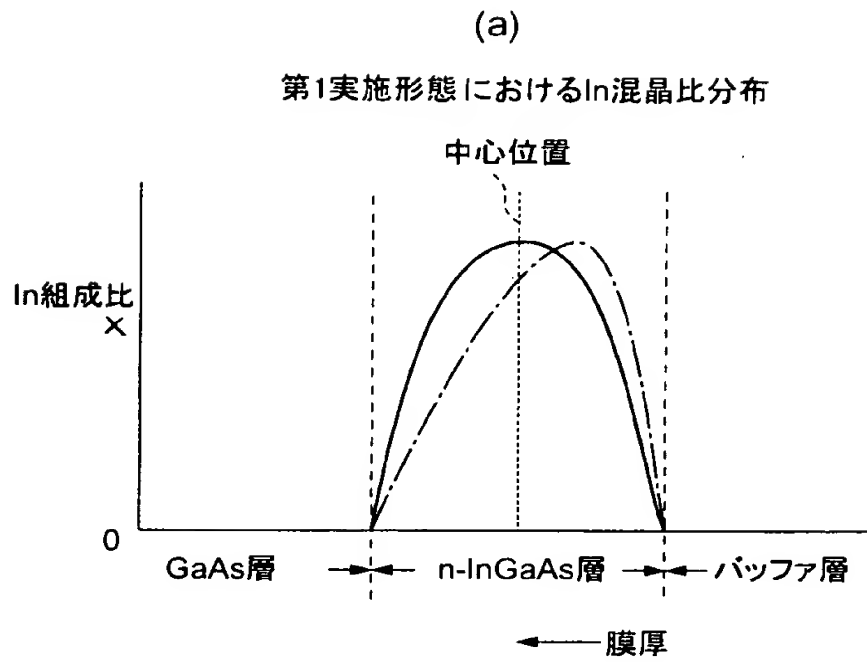
【図 3】

第1実施形態



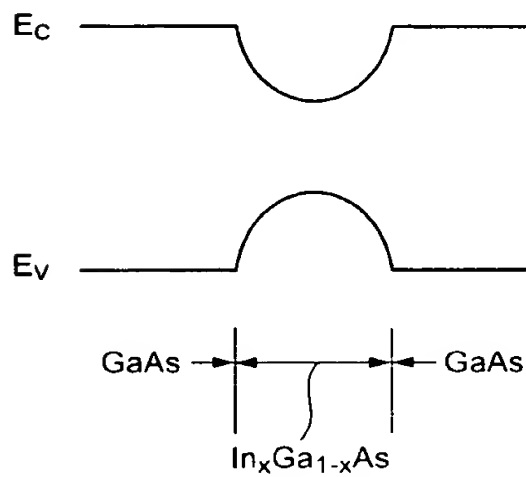
3: グレーディッドチャネル層

【図 4】

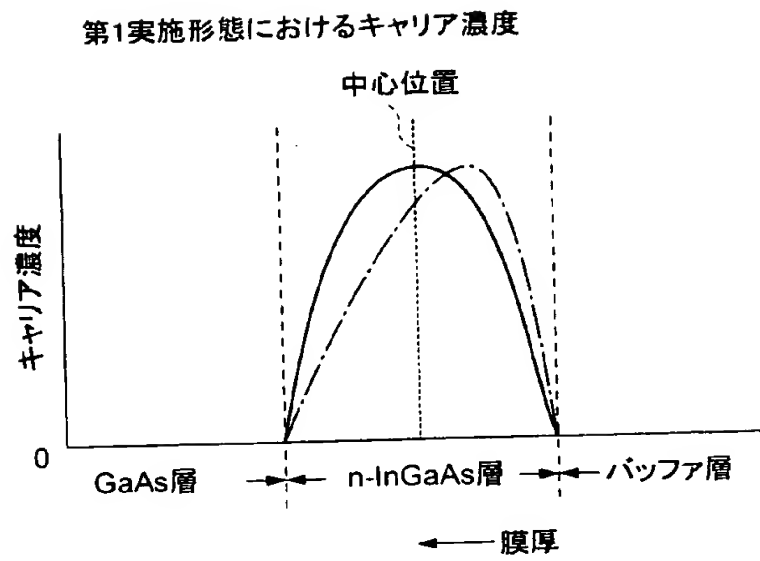


(b)

第1実施形態におけるエネルギーバンドギャップ

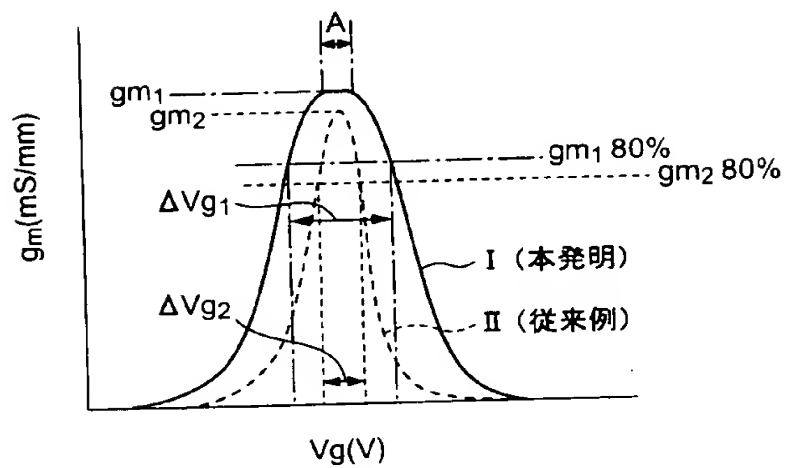


【図 5】



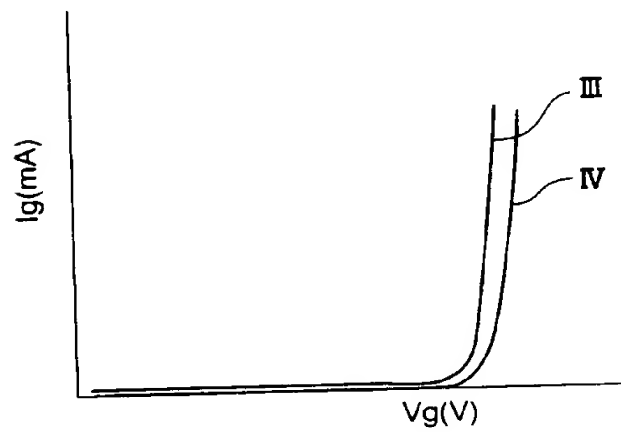
【図 6】

第1実施形態と従来のMESFETのそれぞれの
ゲート電極と相互コンダクタンスの関係



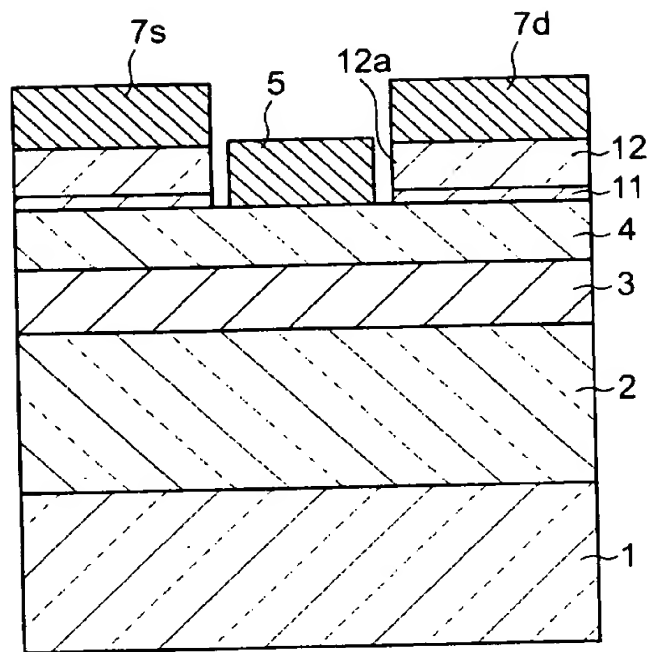
【図 7】

第1実施形態のチャネル層におけるキャリア濃度ピークを
異ならせた場合の V_g - I_g 曲線



【図 8】

第2実施形態



11:AlGaAs層

12:n⁺-GaAsコンタクト層

【書類名】 要約書

【要約】

【課題】 M E S F E T を含む化合物半導体装置に関し、最大コンダクタンスが高く、ゲート電圧に対する相互コンダクタンスの変化を緩やかにすること。

【解決手段】 第 1 の化合物半導体よりなる基板 1 と、この基板 1 上に形成されて 1 つの構成元素の混晶比のピークが層の内部に位置するように該混晶比を連続的に変化させることによってエネルギーバンドギャップを該層の内部で最も低くする第 2 の化合物半導体層から構成される不純物含有のグレーディッドチャネル層 3 と、このグレーディッドチャネル層 3 の上に形成された障壁層 4 と、この障壁層 4 の上に形成されたゲート電極 5 と、グレーディッドチャネル層 3 に電流を流すためのソース／ドレイン電極を含む。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000154325]

1. 変更年月日 1992年 4月 6日

[変更理由] 名称変更

住 所 山梨県中巨摩郡昭和町大字紙漣阿原1000番地

氏 名 富士通カンタムデバイス株式会社